

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A)

昭62-52798

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)3月7日

G 11 C 17/00

1 0 1

6549-5B

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭60-192813

⑰ 出 願 昭60(1985)8月30日

⑱ 発 明 者 小 林 和 男 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 発 明 者 寺 田 廣 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑳ 発 明 者 中 山 武 志 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

㉑ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉒ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

半導体記憶装置

## 2. 特許請求の範囲

(1) 複数の記憶素子を含み、アドレス信号によって選択された記憶素子へのデータの書き込みおよび消去が可能な半導体記憶装置であって、

前記複数の記憶素子のうち、予め定める数の記憶素子からの読出データがすべて2値のうちの一方の値と同じであるか否かを検出して、データの書き込みおよび消去を確証する確証手段を備えた、半導体記憶装置。

(2) 前記確証手段は、前記読出データを1バイトとして、それらがすべて2値のうちの一方の値と同じであるか否かに応じて、データの書き込みおよび消去を確証するようにした、特許請求の範囲第1項記載の半導体記憶装置。

(3) 前記確証手段は、

前記予め定める記憶素子に書き込むべき入力データに、前記2値のうちの他方の値を含むか否か

を検出する検出手段と、

前記検出手段からの検出出力に応じて、前記2値のうちの他方の値を含む前記入力データのアドレスをストアするアドレスストア手段を含む、特許請求の範囲第1項または第2項記載の半導体記憶装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は半導体記憶装置に関し、特に、5Vの単一電源を用いてデータの書き込みおよび消去が可能なEEPROMのような半導体記憶装置に関する。

〔従来技術の説明〕

EEPROMは、電気的に書き込み/消去が可能な不揮発性メモリであって、一般に、そのメモリトランジスタは、電荷を蓄えるために、誘電体に囲まれた領域をその内部に含み、蓄積電荷の正負によって情報の不揮発な記憶を実現している。この蓄積された電荷の正負により、メモリトランジスタのしきい値 $V_{th}$ が異なることを利用して、或



る電位。メモリトランジスタに与えたときに流れる電流をセンスアンプで増幅し、メモリトランジスタのON/OFFを検知して、情報の読出しを行なう。

しかしながら、メモリトランジスタに電荷の注入あるいは引き抜きを行なわせるために、20V程度の高電圧を印加することが必要であり、高電圧印加によるトランジスタの劣化は無視できず、この劣化が記憶保持時間および書込耐久性の限界を与えている。したがって、メモリトランジスタには、必要最小限の電荷を書き込ませることが望ましい。このために、一度の書込/消去には、数回の書込高電圧パルスを印加することとし、各パルスを印加した後に、メモリトランジスタのデータを読出し、十分な電荷が書き込まれたことを確認することにより、過度の書込み、消去を防止する方法がとられている。

以下、メモリトランジスタに負の電荷が蓄積されて、しきい値 $V_{th}$ が正である状態を消去状態とし、情報“1”が記憶されているものとし、メモ

リトランジスタに正の電荷が蓄積されて、しきい値 $V_{th}$ が負である状態を書込状態とし、情報“0”が記憶されているものとする。

第4図は従来のEEPROMの書込/消去確認回路を示すブロック図である。

この第4図に示した書込/消去確認回路は、IEEE Journal of solid-state circuits, Vol. SC-17, No.5 Oct. 1982 p. 828-838に記載されているものである。

第4図において、I/Oバッファ1はデータ入出力部であって、入力データDIをデータラッチ9に与える。データラッチ9は入力データDIをラッチするものである。データラッチ9にラッチされた出力は、入力データを反転したデータ $\overline{DI}$ を出力する。このデータ出力 $\overline{DI}$ はNANDゲート10の一方入力端に与えられる。

センスアンプ2はメモリセル(図示せず)からの読出データを増幅するものである。センスアンプ2で増幅された読出データRIはXORゲート11の一方入力端に与えられる。このXORゲ

ート11は1ビットの書込み/消去が完全であるかを反転するものである。XORゲート11からの出力EIはNORゲート25に与えられる。このNORゲート25は1バイトの書込みが完全であるかを判定するためのものであり、その出力Kは書込み/消去制御回路6に与えられる。この書込み/消去制御回路6は書込み/消去の切換えや、再書込み/再消去の制御を行なうものである。この書込み/消去制御回路6から出力信号Jが前述のNANDゲート10の他方入力端に与えられる。

この出力信号Jは、書込サイクルの最初において、“0”となり、消去が確認されたときに“1”となる。また、書込み/消去制御回路6から出力信号Cを前述のNORゲート12に与える。この出力信号Cはメモリセルからの読出データを比較するときに“0”となる。また、書込み/消去制御回路6からレディ/ビジー信号が出力される。このレディ/ビジー信号はメモリセルに正しいデータの書込まれたことが確認されたときに、“0”

から“1”に反転する。

次に、第4図に示した従来の書込み/消去確認回路の動作について説明する。

書込サイクルはチップイネーブル(CE)およびライトイネーブル(WE)の立下がりによって始まる。まず、アドレスがラッチされ、この書込サイクルの間保持される。次に、WEの立上がりにより、入力データDIがI/Oバッファ1を介してデータラッチ9にラッチされる。それとともに、レディ/ビジー信号は“1”から“0”に変化する。この間出力信号Jは“0”のままであり、NANDゲート10の出力は入力データ $\overline{DI}$ にかかわらず、“1”となる。そして、書込まれるべき1バイトのメモリの内容が消去される。つまり、“1”が書込まれる。次に、消去動作が実行されたメモリセルのデータRIをセンスアンプを通じて読出し、XORゲート11に入力する。

仮に、i番目のビットの消去が不完全であり、読出データRIが“0”のとき、XORゲート11の出力EIは“1”である。このとき、たとえ



他のビットの消去が完全であり、読出データR1が“1”であって、XORゲート11の出力E1が“0”であっても、NORゲート12の出力Kは“0”となる。このとき、消去動作とその確認を繰返すこととする。なお、NORゲート12は、E0ないしE7の比較時のみイネーブルになっている。すなわち、数10μ秒のデータサイクルの間、書込み／消去制御回路6からの信号Cは“0”になり、その間に読出データR1と入力データD1との比較を行なう。

各ビットの消去が完全であって、各ビットからの読出データR1がすべて“1”になったときには、各ビットからの信号E1がすべて“0”となり、NORゲート12の出力が“1”となる。このとき、出力信号Jを反転し、“1”とする。こうして、当該1バイトの全ビットが消去状態“1”であることの確認を行なう。

次に、“0”書込サイクルとなるが、入力データD1が各ビットとも“1”のとき、書込みをする必要はない。入力データD1は“0”のため、

出力E1も“0”となる。各ビットのXORゲート11の出力E1が“0”となれば、NORゲート12の出力Kは“1”となって、データ比較サイクルが終了したとき、レディ／ビジー信号は“1”となり、“0”書込サイクルが終了し、このバイトの書込サイクルを終了する。

〔発明が解決しようとする問題点〕

従来の書込み／消去確認回路は、上述のごとく構成されているので、データラッチ9、NANDゲート10、XORゲート11は、1バイトで8個必要であり、さらに16バイトあるいは32バイトなどの複数バイトを同時に書込むページモード機能を付加した場合、書込み／消去確認回路のチップに占める面積が増大する。また、書込み／消去の確認に要する時間も16倍ないし32倍となるなど、高集積化した場合に欠点を生じる。

それゆえに、この発明の主たる目的は、信頼性を損なうことなく、書込み／消去の確認する機能と、書込みの終了を知らせる信号を出力する機能とを有し、高集積化しやすい半導体記憶装置を提

NANDゲート10の出力は“1”のままであり、読出データR1は“1”であるから、XORゲート11の出力E1は“0”となり、NORゲート12の出力Kは“1”となる。データ比較サイクルの終了時に、信号Cが“1”になったとき、レディ／ビジー信号を“1”として、このバイトの書込サイクルを終了する。

一方、入力データD1が“0”のとき、入力データD1は“1”となり、NANDゲート10の出力は“0”になる。メモリセルは消去状態であるから、読出データR1は“1”となり、XORゲート11の出力E1は“1”となり、NORゲート12の出力Kは“0”となる。次に、書込み／消去制御回路6からの信号Cが“1”になって、データ比較サイクルが終了したとき、レディ／ビジー信号が“0”のままであり、“0”書込サイクルを開始する。

メモリセルに高電圧が印加され、“0”書込みが完全に行なわれた後は、メモリセルからの読出データR1は“0”となり、XORゲート11の

供することである。

〔問題点を解決するための手段〕

この発明に係る半導体記憶装置は、複数の記憶素子のうち予め定める数の記憶素子からの読出データがすべて2値のうちの一方の値と同じであるか否かを検出し、それによってデータの書込みおよび消去を確認するようにしたものである。

〔作用〕

この発明に係る半導体記憶装置は、書込み／消去の確認を、各記憶素子からの読出データがすべて2値のうちの一方の値と同じであるか否かに応じて実行するものである。

〔実施例〕

第1図はこの発明の一実施例を示すブロック図である。この第1図に示すI/Oバッファ1とセンスアンプ2と書込み／消去制御回路6は前述の第4図に示したものと同一ものが用いられる。I/Oバッファ1に入力された入力データD1はNANDゲート3に与えられる。このNANDゲート3は1バイトの入力データがすべて“1”か否



かを判定するものである。このNANDゲート3の出力Fはデータラッチ5に与えられるとともに、書込み/消去制御回路6に与えられる。データラッチ5はページ書込みの最初に“1”をストアし、入力データが“0”を含むときに“0”をストアするように構成される。データラッチ5の出力Gは書込み/消去制御回路6に与えられる。また、書込み/消去制御回路6からデータラッチ5に初期化するための初期化信号Iが与えられる。

センスアンプ2から読出された読出データRIはNANDゲート4に与えられる。このNANDゲート4は1バイトの読出データがすべて“1”であるかを判定するものである。このNANDゲート4の出力信号Hは書込み/消去制御回路6に与えられる。書込み/消去制御回路6に関連して、Yアドレス転送制御回路7とタイマ8とが設けられる。Yアドレス転送制御回路7は“0”を含んだ入力データのアドレスをストアし、そのアドレスで読出しを行なうためのものである。タイマ8は書込み/消去制御回路6が動作する時間

を計数するものである。

第2図はこの発明の一実施例を用いた半導体記憶装置の全体の構成の一例を示すブロック図である。第2図において、XアドレスはXアドレスバッファ31を介してXアドレスラッチ32にラッチされ、Xデコーダ33に与えられる。Xデコーダ33はメモリセルアレイ34のX方向のアドレスを指定するものである。また、前述の第1図に示したYアドレス転送制御回路7にストアされているアドレスはYアドレスラッチ35にラッチされ、Yアドレスバッファ36を介してコラムデコーダ37に与えられる。コラムデコーダ37はYアドレスに基づいてコラムをデコードし、コラムラッチ38に与える。メモリセルアレイ34は、このコラムラッチ38にラッチされたコラムと前述のXデコーダ33からのデコード出力に基づいて、アドレス指定される。

第3図はこの発明の一実施例の動作を説明するためのフローチャートである。

次に、第1図ないし第3図を参照して、この発

明の一実施例の具体的な動作について説明する。

ページモード書込みでは、Xアドレスをホールドした状態で、1ページ分のデータがそれぞれコラムラッチ38にストアされる。その後、メモリセルアレイ34へのデータの書込みがなされる。前者を外部書込みと称し、後者を内部書込みと称する。

外部書込みでは、タイマ8からの信号18によって200μ秒の期間に行なう。すなわち、まずこのサイクルの最初に、データラッチ5に“1”をストアする。その後、入力したデータDIをNANDゲート3に入力する。NANDゲート3は、入力されたすべてのデータが“1”であるかを判別し、入力データに“0”が含まれているとき、“0”を出力して、データラッチ5にラッチする。しかし、NANDゲート3は入力されたデータがすべて“1”のときには、データラッチ5の内容を変えない。このデータラッチ5にラッチされた信号Gは書込み/消去制御回路6に与えられる。

書込み/消去制御回路6は、データラッチ5からの信号Gに基づいて、データラッチ5に“0”がストアされていれば、そのときのYアドレスをYアドレス転送制御回路7からYアドレスラッチ35に転送し、それをラッチさせる。これを200μ秒の間繰返し、1ページのデータをコラムラッチ38にストアする。

このようにして、1ページのデータがすべて“1”であるかあるいは“0”を含むかについて、内部書込みの最後にデータラッチ5にラッチされた値によって判定できる。つまり、データラッチ5の出力Gが“1”であれば、1ページのデータはすべて“1”であり、“0”であれば、1ページのデータは“0”を含んでいる。そして、1ページ中の“0”を含むバイトのうち、最初に入力したデータのアドレスが別にYアドレスラッチ35にストアされている。

次に、200μ秒の期間の終了とともに、内部書込みモードに入る。このモードでは、メモリセルアレイ34への書込みがなされるので、読んだ書











5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

(1) 明細書第4頁第13行ないし第14行の「データラッチ9にラッチされた出力は、」を「データラッチ9は、」に訂正する。

(2) 明細書第5頁第2行の「反転する」を「判定する」に訂正する。

(3) 明細書第5頁第3行および第4行の「NORゲート25」を「NORゲート12」に訂正する。

(4) 明細書第6頁第4行ないし第5行の「チップイネーブル(CE)およびライトイネーブル(WE)」を「チップイネーブル信号( $\overline{CE}$ )およびライトイネーブル信号( $\overline{WE}$ )」に訂正する。

(5) 明細書第6頁第7行の「WE」を「 $\overline{WE}$ 」に訂正する。

(6) 明細書第6頁第12行の「DI」を「 $\overline{DI}$ 」に訂正する。

(7) 明細書第7頁第20行および第8頁第8行ないし第9行の「入力データDI」を「データラッチ9の出力 $\overline{DI}$ 」に訂正する。

(8) 明細書第11頁第18行の「ストアし」を「ストアさせ」に訂正する。

(9) 明細書第12頁第8行ないし第17行の「また、前述の…アドレス指定される。」を下記の文章に訂正する。

記

Yアドレス転送制御回路7は、データ入力時には、1バイトの入力データが“0”を含む場合に、そのYアドレスをYアドレスラッチ35にストアさせ、また、読出データの比較時の初めに、Yアドレスラッチ35にストアされているYアドレスをYアドレスバッファ36に出力させて、読出しを行なうメモリセルをYデコーダ(コラムデコーダ)37によって選択させる機能を持つ。コラムデコーダ37はYアドレスに基づいてコラムをデコードし、コラムラッチ38を選択する。メモリセルアレイ34は、Yアドレスと前述のXデコーダ3

3からのデコード出力に基づいて、アドレス指定される。

(10) 明細書第13頁第9行の「200μ秒」を「たとえば200μ秒」に訂正する。

(11) 明細書第14頁第1行ないし第5行の「書込／消去制御回路6は、…それをラッチさせる。」を下記の文章に訂正する。

記

書込／消去制御回路6は、データラッチ5からの信号Gに基づいて、データラッチ5に“0”がストアされていれば、そのときのYアドレスをYアドレス転送制御回路7によって、Yアドレスバッファ36を介してYアドレスラッチ35に転送し、それをラッチさせる。

(12) 明細書第16頁第3行の「別に」を「Yアドレスラッチに」に訂正する。

(13) 明細書第16頁第6行の「その入力」を「その読出データR」に訂正する。

(14) 明細書第16頁第7行の「入力のすべて」を「R」のすべて」に訂正する。



(54) SEMICONDUCTOR MEMORY DEVICE

(11) 62-52798 (A) (43) 7.3.1987 (19) JP

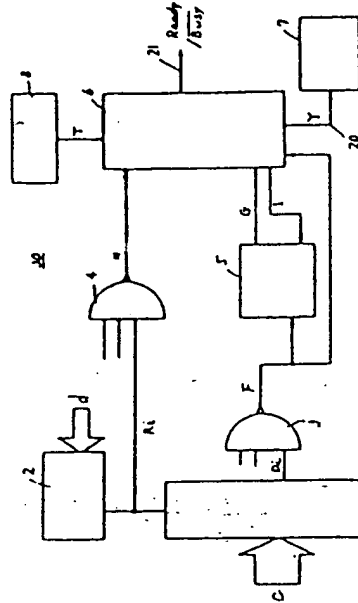
(21) Appl. No. 60-192813 (22) 30.8.1985

(71) MITSUBISHI ELECTRIC CORP (72) KAZUO KOBAYASHI(2)

(51) Int. Cl. G11C17/00

**PURPOSE:** To facilitate the confirmation of write in a page mode and to reduce the area of a write/erase confirming circuit by detecting whether read out data from prescribed number of storage cells out of plural storage cells are equal with either of all binary and confirming the write and the erase of the data.

**CONSTITUTION:** A readout data  $R_i$  read out from a sense amplifier 2 is given to a NAND gate 4, and the NAND gate 4 decides whether all of the readout data of one byte is "1" or not. The output signal H of the NAND gate 4 is given to a write/erase control circuit 6. Relating to the write/erase control circuit 6, a Y address transfer control circuit 7 and a timer 8 are provided. The Y address transfer control circuit 7 stores the address of an input data including "0", performing a readout with the address and the timer 8 counts a time for the operation of the write/erase control circuit 6.



1: I/O buffer, 3: NAND gate a, 5: data latch, c: outside input, d: (memory cell)